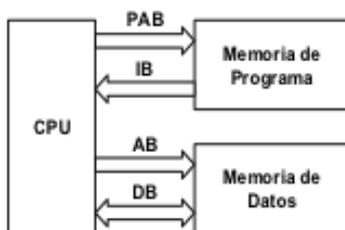


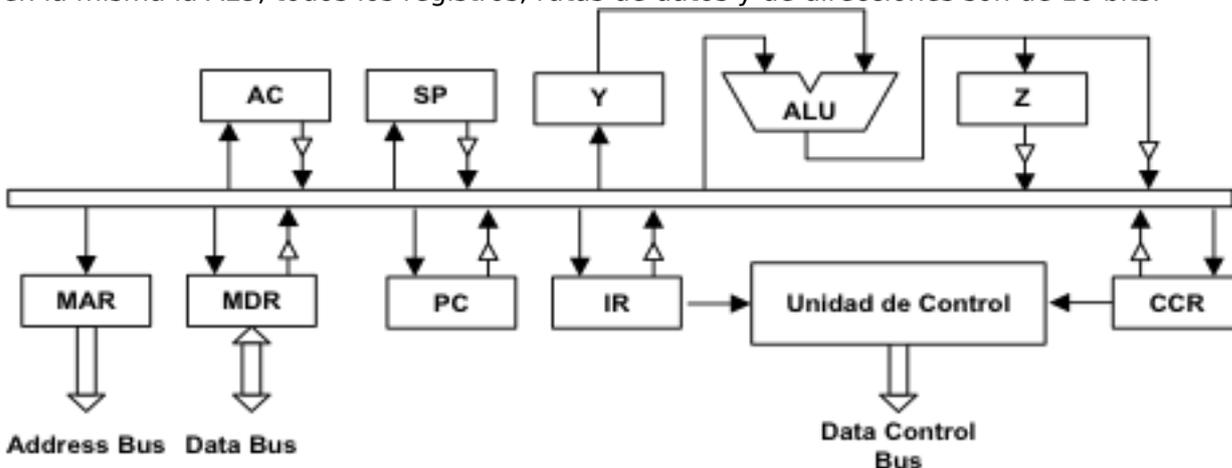
## Guía de Solución para el Trabajo Práctico Número 1

### Problemas Propuestos

- 2) Se tiene un procesador como indica la figura. El mismo cuenta con una memoria de programa (MP) que puede almacenar 16 Kpalabras y una memoria de datos (MD) que almacena 2 KBytes. El ISA del procesador está compuesto por 57 Instrucciones diferentes de un formato fijo, compuesto por un OP-CODE y la dirección del operando.
- Dimensione los registros PC e IR.
  - Dimensione los buses PAB (Program Address Bus), IB (Instruction Bus), AB (Address Bus) y DB (Data Bus).
  - Indique las líneas de control necesarias para cada una de las memorias.



- 7) Dada una CPU cuyo esquema simplificado se muestra en la figura y teniendo en cuenta que en la misma la ALU, todos los registros, rutas de datos y de direcciones son de 16 bits.



Donde los registros son:

PC: Registro Contador de Programa

MAR: Registro de Direcciones

AC: Registro Acumulador, único de propósito general

Y, Z: Registros Temporales, utilizados operar en la ALU

Sabiendo finalmente que cada transferencia entre registros en esta CPU y el tiempo de acceso a memoria mínimo es 1 T.

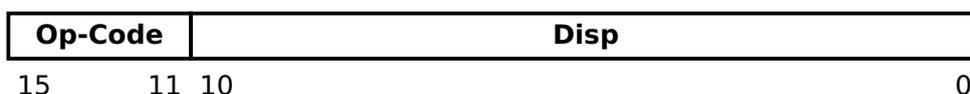
SP: Registro Puntero de Stack

MDR: Registro de Datos

CCR: Registro de Estado

IR: Registro de Instrucciones

- Indique cuáles de los registros son visibles desde el ISA y cuáles son internos a la arquitectura.
- Desglose la secuencia óptima de operaciones elementales que ejecutan la instrucción de una palabra ADD (Disp), la cual tiene el siguiente RTN abstracto  $AC \leftarrow AC + M[Disp]$ . Incluya en la ejecución de esta instrucción la búsqueda (fetch) de la misma. El formato de la instrucción es el siguiente:



- c) Indique que modo de direccionamiento utiliza la instrucción del apartado anterior para el segundo sumando.
- d) Calcule el tiempo de ejecución de la instrucción (siempre incluyendo la búsqueda de la instrucción) suponiendo que el control de procesador no presente retardo alguno.

**Soluciones Completas**

2)

- a) Como tenemos una memoria de 16Kbytes, nuestro PC deberá ser capaz de direccionarlos con n bits de forma que  $2^n = 16 \text{ Kbytes} = 16 \times 1024 \text{ bytes}$ .

$$\text{PC} = \log_2 (16 \times 1024) = 14 \text{ bits}$$

Para la memoria de instrucciones, vamos a calcularlo en dos partes, por un lado, al saber que tenemos 57 instrucciones, que se direccionan con 6 bits ( $2^6 = 64$ ), definimos el OpCode de ese mismo tamaño. Por otro lado, con el resto de la instrucción necesitamos poder direccionar los 2Kbytes de MD, por lo que calculamos  $\log_2 (2 \times 1024) = 11 \text{ bits}$ .

$$\text{IR} = (\log_2 (57 \text{ Instrucciones}) = 6 \text{ bits de OpCode}) + (11 \text{ bits del operando para direccionar las 2Kbytes}) = 17 \text{ bits}$$

- b) Bus de direcciones de la memoria de programas, depende del tamaño de PC:

$$\text{PAB} = \text{PC} = 14 \text{ bits}$$

Bus de instrucciones, depende del Registro de Instrucciones:

$$\text{IB} = \text{IR} = 17 \text{ bits}$$

Bus de direcciones, depende de la cantidad de bits dentro del registro de instrucciones que se usan para direccionar la memoria, los cuales eran 11bits de los 17.

$$\text{AB} = \log_2 (2\text{Kbytes} = 2 \times 1024) = 11 \text{ bits}$$

Bus de datos, el cual tiene el tamaño de palabra que se maneja en la memoria de datos, el cual en este caso es 1 byte.

$$\text{DB} = 1 \text{ Byte} = 8 \text{ bits.}$$

- c) Para la memoria de programa no se requiere ninguna señal de control (porque no se modifica).

Para la memoria de datos se requiere como mínimo una señal de lectura (RD) y una de escritura (WR). Otra posibilidad para la memoria de datos es una señal de lectura/escritura (RD/WR) y una señal de habilitación de memoria (MREQ).

7)

- a) Los registros visibles desde el ISA son: **AC, PC, IR y CCR**  
El **MAR, MDR, Y y Z** son internos a la arquitectura.

b)

- T1:  $\text{MAR} \leftarrow \text{PC}; \text{Z} \leftarrow \text{PC} + 2;$
- T2:  $\text{MDR} \leftarrow \text{M}[\text{MAR}]; \text{PC} \leftarrow \text{Z};$
- T3:  $\text{IR} \leftarrow \text{MDR};$
- T4:  $\text{MAR} \leftarrow 4@0\#\text{IR}(11..0);$
- T5:  $\text{MDR} \leftarrow \text{M}[\text{MAR}]; \text{Y} \leftarrow \text{AC};$
- T6:  $\text{Z} \leftarrow \text{Y} + \text{MDR};$
- T7:  $\text{AC} \leftarrow \text{Z};$

- c) El modo de direccionamiento utilizado para el segundo sumando corresponde al modo directo, donde se especifica la dirección de memoria donde está almacenado el operando. No permitido en el micro ARM, soportado en el CPU08.

- d) El tiempo de ejecución de la secuencia es de 7T.