

Trabajo Práctico Número 1

Electrónica IV

26/03/2025

Instrucciones

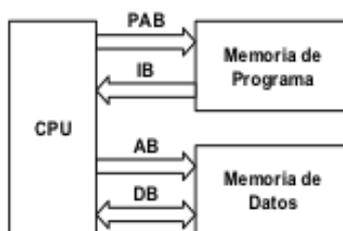
- Los problemas propuestos en el presente trabajo práctico pueden ser resueltos en forma individual o grupal.
- El planteo de la solución debe realizarse basándose en lo aprendido en las clases teóricas.
- Puede utilizar las clases de consulta para consultar problemas de enunciado y verificar la validez de la solución obtenida.
- Posteriormente, se tomará una evaluación con problemas similares a los de este práctico, la cual deberá ser resuelta en forma individual. La fecha de evaluación se encuentra en el sitio web de la materia.

Conceptos involucrados

- Diseño de una trayectoria de datos de un procesador simple.
- Arquitectura del Set de Instrucciones (ISA) de un procesador.
- Generalidades del Sistema de Memoria.

Problemas propuestos

- 1) Discuta en grupo si las siguientes afirmaciones son verdaderas o falsas
 - a) Las memorias SRAM son más rápidas que las DRAM.
 - b) Las memorias SRAM consumen menos potencia que las DRAM.
 - c) Como las memorias RAM son volátiles, necesitan un pulso de refresco periódico.
 - d) En todas las computadoras de 32 bits, el PC se incrementa de a 4.
 - e) En general, se cumple que el ancho de palabra del CPU es igual al ancho de la memoria.
- 2) *[Recomendado]* Se tiene un procesador como indica la figura. El mismo cuenta con una memoria de programa (MP) que puede almacenar 16 Kpalabras y una memoria de datos (MD) que almacena 2 KBytes. El ISA del procesador está compuesto por 57 Instrucciones diferentes de un formato fijo, compuesto por un OP-CODE y la dirección del operando.
 - a) Dimensione los registros PC e IR.
 - b) Dimensione los buses PAB (Program Address Bus), IB (Instruction Bus), AB (Address Bus) y DB (Data Bus).
 - c) Indique las líneas de control necesarias para cada una de las memorias.



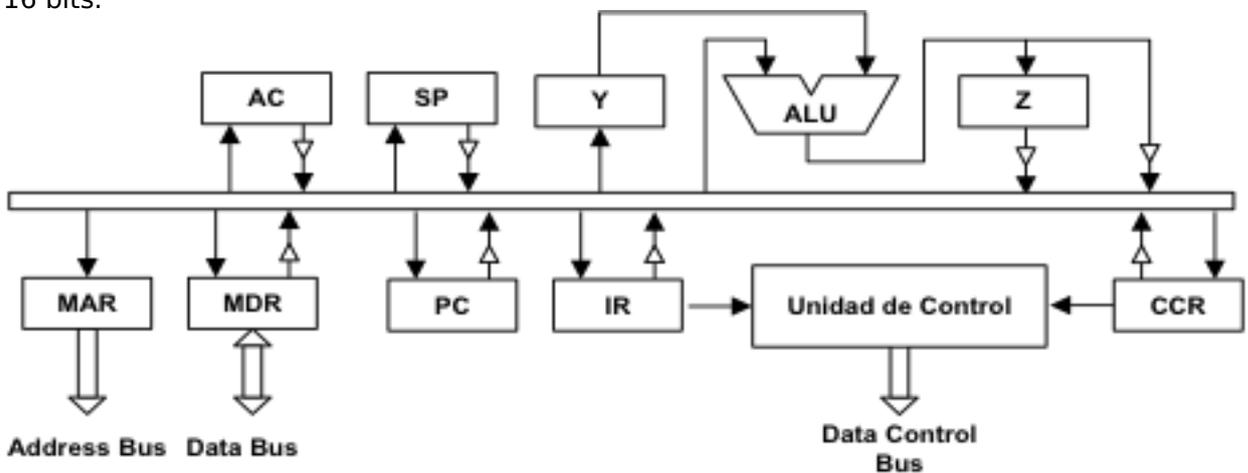
- 3) Discuta en grupo cuales de los siguientes integrados de memorias SRAM son posibles de implementar.
 - a) 10 líneas de dirección, 8 líneas de datos, 8192 celdas.
 - b) 10 líneas de dirección, 4 líneas de datos, 1024 filas.
 - c) 9 líneas de dirección, 2 líneas de datos, 2048 celdas.
 - d) 12 líneas de dirección, 12 líneas de datos, 4096 celdas.
 - e) 10 líneas de dirección, 1024 líneas de datos, 10 filas.
 - f) 1024 líneas de dirección, 1 líneas de datos, 10 celdas.
- 4) Realice la trayectoria de datos de una versión del procesador SRC que utilice dos buses, con el objetivo de ejecutar el programa ejemplo (el código visto en clase teórica). Debe detallar en RTN estos pasos, calcular los ciclos de reloj requeridos para completar el programa ejemplo y calcular los ciclos promedio por instrucción (CPI).

- 5) Realice la trayectoria de datos de una versión del procesador SRC que utilice tres buses. Detalle en RTN los pasos necesarios para ejecutar el programa ejemplo, los ciclos de reloj requeridos para completar el mismo y calcule los ciclos promedio por instrucción (CPI).
- 6) [Profundización] Se desea agregar dos nuevas instrucciones al camino de datos del procesador SRC visto en clase, cuyo RTN abstracto y formato se muestran a continuación:

Instrucción	Operacion	Formato
ADD2 ra,rb,disp	$M(\text{disp}) \leftarrow R[\text{ra}] + R[\text{rb}]$	Tipo 1
DLD ra,rb,disp	$R[\text{ra}] \leftarrow M(\text{disp}); R[\text{rb}] \leftarrow M(\text{disp}+4)$	Tipo 1

Detalle en RTN concreto los pasos necesarios para ejecutar cada una de las nuevas instrucciones.

- 7) [Recomendado] Dada una CPU cuyo esquema simplificado se muestra en la figura y teniendo en cuenta que en la misma la ALU, todos los registros, rutas de datos y de direcciones son de 16 bits.



Donde los registros son:

PC: Registro Contador de Programa

SP: Registro Puntero de Stack

MAR: Registro de Direcciones

MDR: Registro de Datos

AC: Registro Acumulador, único de propósito general

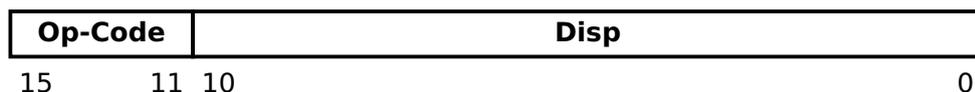
CCR: Registro de Estado

Y, Z: Registros Temporales, utilizados operar en la ALU

IR: Registro de Instrucciones

Sabiendo finalmente que cada transferencia entre registros en esta CPU y el tiempo de acceso a memoria mínimo es 1 T.

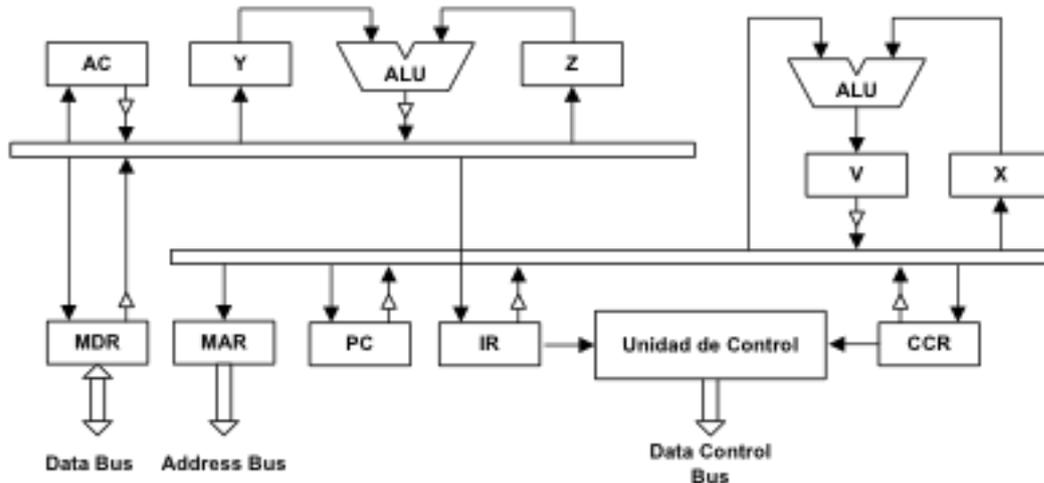
- a) Indique cuáles de los registros son visibles desde el ISA y cuáles son internos a la arquitectura.
- b) Desglose la secuencia óptima de operaciones elementales que ejecutan la instrucción de una palabra ADD (Disp), la cual tiene el siguiente RTN abstracto $AC \leftarrow AC + M[\text{Disp}]$. Incluya en la ejecución de esta instrucción la búsqueda (fetch) de la misma. El formato de la instrucción es el siguiente:



- c) Indique que modo de direccionamiento utiliza la instrucción del apartado anterior para el segundo sumando.
- d) Calcule el tiempo de ejecución de la instrucción (siempre incluyendo la búsqueda de la instrucción) suponiendo que el control de procesador no presente retardo alguno.

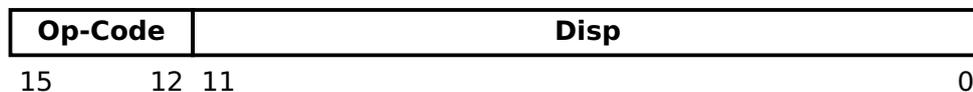
- 8) [Recomendado] Para aumentar la velocidad del procesador SRC-1 visto en clase, se propone implementar una versión del mismo siguiendo la arquitectura Harvard, con el objetivo de disminuir los ciclos necesarios para la búsqueda de las instrucciones. Se pide que:

- a) Modifique la menor cantidad de elementos de la arquitectura original para lograr cumplir con el objetivo planteado.
 - b) Reescriba el RTN concreto para implementar el programa visto en clase que efectúa la suma de dos números almacenados en dos direcciones consecutivas de memoria y guarda el resultado también en memoria.
- 9) Dada la siguiente trayectoria de datos, donde todos los registros y caminos son de 16 bits, y sabiendo que el tiempo de transferencia entre registros es similar al tiempo de acceso a memoria.



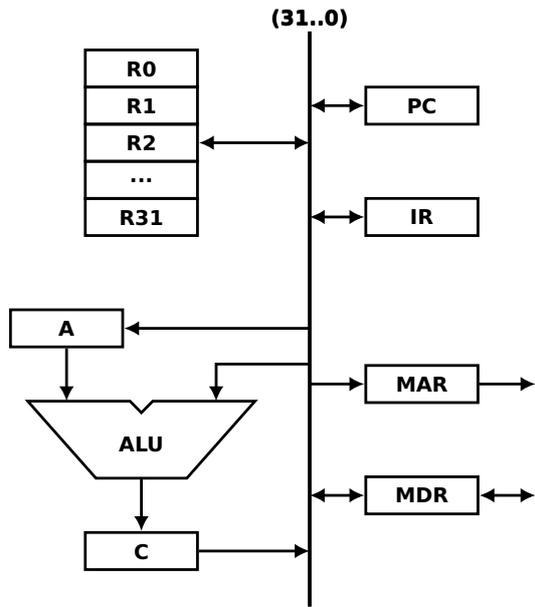
Se pide que desarrolle el RTN concreto necesario para implementar la instrucción ADD2 disp, la cual se detalla a continuación:

RTN abstracto: $AC \leftarrow M[disp] + M[disp + 2]$



- 10) En el camino de datos del procesador SRC-1 visto en clase se ejecutan la siguientes secuencias de operaciones elementales. En cada caso se pide que identifique la cantidad de instrucciones de lenguaje ensamblador que corresponden a la secuencia y que indique el formato, el RTN abstracto y la duración de la instrucción de las mismas.

- a)
 - T1: $MAR \leftarrow PC; C \leftarrow PC + 4;$
 - T2: $MDR \leftarrow M[MAR]; PC \leftarrow C;$
 - T3: $IR \leftarrow MDR;$
 - T4: $A \leftarrow R[rc];$
 - T5: $C \leftarrow A + R[rb];$
 - T6: $MAR \leftarrow C;$
 - T7: $MDR \leftarrow M[MAR];$
 - T8: $R[ra] \leftarrow MDR;$
- b)
 - T1: $MAR \leftarrow PC; C \leftarrow PC + 4;$
 - T2: $MDR \leftarrow M[MAR]; PC \leftarrow C;$
 - T3: $IR \leftarrow MDR; C \leftarrow 21@IR(10)\#IR(10..0);$
 - T4: $A \leftarrow C;$
 - T5: $C \leftarrow A + R[rc];$
 - T6: $A \leftarrow C;$
 - T7: $C \leftarrow A + R[rb];$
 - T8: $R[ra] \leftarrow C;$



Soluciones propuestas

- 1)
 - a) Verdadera.
 - b) Falsa.
 - c) Falsa.
 - d) Falsa.
 - e) Falsa.
- 2)
 - a) PC= 14 bits, IR = 17
 - b) PAB = 14 bits, IB = 17 bits, AB = 11 bits, DB = 8 bits
 - c) Memoria de datos R y W
- 3)
 - a) Posible
 - b) Posible
 - c) No posible
 - d) Posible
 - e) Posible
 - f) Posible
- 4) Cantidad de ciclos T: 18, CPI promedio: 4,5
- 5) Cantidad de ciclos T: 17, CPI promedio: 4,25
- 6) ..
- 7) El tiempo de ejecución de la secuencia es de 7T
- 8)
 - a) La memoria de programa se conecta directamente a PC e IR.
 - b) La secuencia se ejecuta en 26T.
- 9) Cantidad de ciclos T: 9
- 10)
 - a) 1 Instrucción, Tipo 2, $R[ra] \leftarrow M[R[rb] + R[rc]]$; 8T
 - b) 1 Instrucción, Tipo 2, $R[ra] \leftarrow R[rb] + R[rc] + cte$; 8T